

CIRCUITOS DIGITALES AVANZADOS 2017-2

I. INFORMACIÓN GENERAL

CURSO	TEMAS DE INGENIERÍA ELECTRÓNICA 2: CIRCUITOS DIGITALES AVANZADOS
CLAVE	1IEE03
CRÉDITOS	3.5
HORAS DE DICTADO	CLASE: 3 Semanal LABORATORIO: 2 Quincenal EXAMEN: 3 horas cada uno
HORARIO	TODOS
PROFESORES	MARIO ANDRÉS RAFFO JARA

II. PLANES CURRICULARES DONDE SE DICTA EL CURSO

ESPECIALIDAD	ETAPA	NIVEL	CARÁCTER	REQUISITOS
INGENIERÍA ELECTRÓNICA	PREGRADO EN FACULTAD	8	ELECTIVO	IEE144 Circuitos Digitales[7] IEE146 Laboratorio de Circuitos Digitales [7]

Tipos de requisito

- 04 = Haber cursado o cursar simultáneamente
- 05 = Haber aprobado o cursar simultáneamente
- 06 = Promedio de notas no menor de 08
- 07 = Haber aprobado el curso

III. DESCRIPCIÓN DEL CURSO

El curso procura brindar los conocimientos que permitan diseñar sistemas digitales para ser implementados en FPGA (Field Programmable Gate Array) o en ASIC (Application Specific Integrated Circuits) siendo descritos y verificados mediante el uso del lenguaje de descripción de hardware Verilog HDL, el cual es el lenguaje comúnmente empleado en la industria de diseño de soluciones digitales integradas a nivel mundial.

IV. SUMILLA

Este curso corresponde a los cursos electivos del programa de Ingeniería Electrónica que permite al estudiante diseñar sistemas digitales integrados, siendo un curso que aborda la rama digital de la microelectrónica y nanoelectrónica.

V. OBJETIVOS

Desarrollar las habilidades necesarias para que el estudiante vincule los conceptos de diseño de circuitos digitales con el diseño de sistemas digitales a ser implementados en FPGA o en ASIC. Al terminar el semestre los alumnos serán capaces de tener una noción del diseño de tecnología de punta en microelectrónica y en nanoelectrónica digital, tal como se realiza en las empresas de diseño de soluciones integradas a nivel mundial.

Estos Objetivos contribuyen significativamente al logro de los siguientes resultados del programa:

- (j) Conocer temas contemporáneos.
- (k) Habilidad para usar técnicas, destrezas y herramientas de ingeniería moderna necesaria para la práctica ingenieril.

VI. PROGRAMA ANALÍTICO

CAPÍTULO 1: Descripción de sistemas digitales empleando Verilog HDL (clase 1 y 2; 6 horas)

- 1.1. Modelo estructural de lógica combinacional.
- 1.2. Verificación de un diseño lógico.
- 1.4. Modelo comportamental de lógica combinacional.
- 1.5. Modelo comportamental de lógica secuencial.
- 1.6. Errores típicos en descripción de lógica combinacional.
- 1.7. Comparación de estilos de modelamiento comportamental.
- 1.8. Modelo comportamental de diversos circuitos secuenciales y combinacionales.
- 1.9. Máquinas de estado finito Mealy y Moore optimizadas.
- 1.10. Descripción estructurada.
- 1.11. Uso de Funciones y Tareas para verificación de un diseño lógico.

Bibliografía del capítulo 1

L[1] Ciletti, capítulos 4 y 5.

L[3] Thomas/Moorby, capítulos 1-5, 7-8.

L[4] Chu, capítulos 1, 3-5 y 7.

CAPÍTULO 2: SÍNTESIS COMPORTAMENTAL DE CIRCUITOS DIGITALES (clase 3; 3 horas)

- 2.1. Protocolos de comunicación de sistemas digitales, Handshake y Strobe.
- 2.2. Representación de circuitos.
- 2.3. Síntesis de alto nivel.
- 2.4. Aplicaciones.

Bibliografía del capítulo 2

L[5] Vahid, capítulo 5.

L[8] Vahid, capítulos 2 y 6.

L[9] Gajski, capítulo 1.

CAPÍTULO 3: VERIFICACIÓN DE CIRCUITOS (clase 4; 3 horas)

- 3.1. Importancia de la Verificación de Circuitos.
- 3.2. Coberturas en la verificación de circuitos.
- 3.2. Estilos de ambiente de verificación de circuitos

Bibliografía del capítulo 3

L[2] Cohen, capítulo 4.

CAPÍTULO 4: MÁQUINAS DE ESTADO ALGORÍTMICAS (clase 5; 3 horas)

- 3.1. Máquina de estado genérica.
- 3.2. Elementos del Diagrama ASM.
- 3.3. Bloques ASM.
- 3.4. Conversión de FSM a ASM.
- 3.5. Agendar recursos.
- 3.6. Síntesis comportamental de un algoritmo para diagrama ASMD.

Bibliografía del capítulo 4

L[4] Chu, capítulo 6.

L[10] Chu, capítulos 10-12.

CAPÍTULO 5: METAESTABILIDAD Y PROBLEMAS DE SINCRONIZACIÓN (clase 6; 3 horas)

- 5.1. Tiempo especificado antes y después de la señal de clock.
- 5.1. Fallas de sincronización.
- 5.2. Metaestabilidad.
- 5.3. Probabilidades de entrar en un estado ilegal.
- 5.4. Ilustración de Metaestabilidad.
- 5.5. Problemas de los gated-clocks y de los ripple-carry adder.
- 5.6. Removiendo gated clocks.

Bibliografía del capítulo 5

- L[7] Dally, capítulo 28.
- L[2] Cohen, capítulo 3, secciones 1, 2 y 3.
- L[6] Kitts, capítulo 6, secciones 2.2.
- A[1] Cumming, sección 2.

CAPITULO 6: CÓDIGO PARA SÍNTESIS (clase 7; 3 horas)

- 6.1. Árboles de decisión.
- 6.2. Errores comunes en diseño.
- 6.3. Organización del diseño.

Bibliografía del capítulo 6

- L[6] Kitts, capítulo 10

CAPÍTULO 7: ANÁLISIS DE TIEMPO Y SINCRONIZACIÓN DE DOMINIOS DE CLOCK (clase 8 y 9; 6 horas)

- 7.1. Red de distribución de la señal de clock.
- 7.2. Efecto del clock skew.
- 7.3. Análisis de tiempo considerando clock skew.
- 7.4. Control de fase.
- 7.5. Técnica de los dos Flip Flops.
- 7.6. Estructura FIFO.
- 7.7. Particionar los bloques de sincronización.

Bibliografía del capítulo 7

- L[10] Chu, capítulo 16.
- L[6] Kitts, capítulo 6, secciones 1.2, 1.3, 1.4 y 1.5.
- L[5] Dally, capítulo 15 y 28.
- L[2] Cohen, capítulo 3, secciones 1.2.2, 1.3, 4, 5 y 6.
- A[1] Cumming, secciones 3, 8, 9, 10 y 11.
- A[3] Cumming, todo el contenido.
- A[4] Cumming, todo el contenido.
- A[7] Cristian Sisterna - C7 Technology, todo el contenido.
- W[1] fpga4fun, crossing clock domains, partes 1, 2, 3 y 4.

CAPITULO 8 CIRCUITOS DE RESET (clase 10; 3 horas)

- 8.1. Asíncrono vs Síncrono.
- 8.2. Mezcla de diversos tipos de reset.
- 8.3. Señal de reset para múltiples dominios de reloj.

Bibliografía del capítulo 8

- L[6] Kitts, capítulo 10

A[2] Cumming, todo el contenido.
A[3] Cumming, todo el contenido.
A[6] Cristian Sisterna - C7 Technology, todo el contenido.

CAPITULO 9 RESTRICCIONES DE TIEMPO (clase 11; 3 horas)

- 9.1. Visión global de las restricciones de diseño de Synopsys (Synopsys Design Constraints - SDC)
- 9.2. Crear clock.
- 9.3. Clocks generados.
- 9.4. Grupos de clock.
- 9.5. Otras características de clock.
- 9.6. Delay de puertos.
- 9.7. Falsos caminos.
- 9.8. Comandos SDC.

Bibliografía del capítulo 9

L[11] Gangadharan , capítulo 4 sección 3, y capítulos del 5 al 9, 11 y 16

CAPITULO 10 OPTIMIZACIONES DE SINTESIS (clase 12; 3 horas)

- 10.1. Velocidad vs Área.
- 10.2. Compartir recursos.
- 10.3. Pipelining, Retiming y balance de registros.
- 10.4. Compilación de FSM y/o ASM.
- 10.5. Cajas negras.
- 10.6. Síntesis física.

Bibliografía del capítulo 10

L[6] Kitts, capítulo 14

A[8] Cumming, todo el contenido.

A[9] Cumming, todo el contenido.

CAPITULO 11 Floorplanning, Place and Route. (clase 13; 3 horas)

- 11.1. Particionar el diseño.
- 11.2. Camino crítico en el Floorplanning.
- 11.3. Peligros en el Floorplanning.
- 11.4. Optimizaciones en el Floorplanning.
- 11.5. Reduciendo la disipación de potencia.
- 11.6. Restricciones óptimas.
- 11.7. Relación entre Placement y Routing.
- 11.8. Registros de entrada y salida.
- 11.9. Pack factor.
- 11.9. Mapeo de lógica en la RAM.
- 11.10. Ordenar registros.
- 11.11. Placement Seed.

Bibliografía del capítulo 11

L[6] Kitts, capítulos 15 y 16.

CAPITULO 12 Tarea Académica. (clase 14; 3 horas)

Esta clase está destinada a la exposición de los resultados de la Tarea académica.

CAPITULO 13. SESIONES DE LABORATORIO (10 horas)

El curso cuenta con cinco sesiones de laboratorio de 2 horas cada una. Se emplearán las herramientas de diseño profesional de circuitos integrados de las compañías Cadence y/o Synopsys o las herramientas de diseño de FPGAs como el Quartus de la compañía Altera, el simulador ModelSim-Altera o el ISE de la compañía Xilinx. Para la descripción de hardware se empleará el lenguaje Verilog HDL.

13.1. Verilog, descripción y verificación de circuitos combinacionales y secuenciales.

13.2. Síntesis comportamental de circuitos digitales y ambiente de verificación.

13.3. ASMD y y ambiente de verificación.

13.4. Sincronización de dominios de reloj por medio de dos flip flops y FIFO

13.5. Sistema digital con restricciones de tiempo mediante empleo del SDC.

CAPITULO 14. ACTIVIDADES DE LABORATORIO (0 horas)

Las actividades a realizar para cada sesión de laboratorio son las descritas a continuación y cada una de ellas tendrá un componente de la nota de la respectiva sesión:

Prueba de entrada (5 puntos):

Es una prueba escrita (máximo 20 minutos) que se tomará al inicio de cada sesión del laboratorio, que tiene por objetivo evaluar el conocimiento de los alumnos en detalles de carácter práctico y/o teórico necesarios para poder realizar el trabajo del laboratorio y la tarea del laboratorio.

Trabajo para el laboratorio (7 puntos):

Es un sistema digital que puede implicar diseño, verificación, restricciones de tiempo, etc, que los alumnos realizarán como actividad en el laboratorio y que tiene relación con lo visto en aula.

Tarea del laboratorio (8 puntos):

Es un sistema digital que puede implicar diseño, verificación, restricciones de tiempo, etc, que los alumnos tendrán como actividad a resolver posterior a la sesión del laboratorio.

CAPITULO 15. TAREA ACADÉMICA (0 horas)

La Tarea Académica consta de la realización de un proyecto, la exposición de los resultados del mismo en la última clase, ante el Profesor y los Jefes de Práctica del curso y la presentación de un informe (máximo 20 páginas), siendo además obligatorio la presentación de los archivos relacionados con el proyecto, por ejemplo códigos en Verilog.

Al final del examen número 1 se presentarán las propuestas de proyectos, por parte de los docentes del curso (el Profesor y los Jefes de Práctica del laboratorio), que serán desarrolladas por parte de los alumnos.

Al final de la clase que corresponde a la semana siguiente del examen número 1, los alumnos manifestarán sus preferencias respecto de los proyectos y se realizará la asignación de los mismos. Los proyectos pueden ser desarrollados individualmente o en grupos de hasta máximo cuatro integrantes, además que se puede admitir, previa evaluación, que más de un grupo realice el mismo proyecto. En el caso que más de un grupo realice el mismo proyecto, se pondrá énfasis en las diferencias de las soluciones presentadas.

Los alumnos presentarán avances, a definir, de la Tarea Académica en las sesiones 4 y 5 del laboratorio. Cada proyecto tendrá un orientador, que puede ser el Profesor y/o los Jefes de Práctica del laboratorio. La nota de la Tarea Académica será asignada por acuerdo entre el Profesor y los Jefes de Práctica del laboratorio.

VII METODOLOGÍA

El curso se desarrollará a través de exposiciones de forma tal que fomenten la participación del estudiante. Los ejemplos desarrollados en clase están orientados a la aplicación en ingeniería de sistemas digitales a ser descritos por medio del lenguaje Verilog HDL y a ser implementados en FPGA o en ASIC. La teoría expuesta en clase se refuerza mediante sesiones a ser realizadas en laboratorio, siendo las mismas calificadas y supervisadas, para así poder evaluar la asimilación de los conceptos impartidos hasta ese momento por parte de los alumnos. Los temas de las sesiones de laboratorio y de los exámenes son los abordados en clase y/o dejados como lectura. El curso también considera una tarea académica, donde el alumno profundizará los conocimientos sobre sistemas digitales integrados.

VIII EVALUACIÓN

Sistema de evaluación

Nº	Código	Tipo de Evaluación	Cant. Eval.	Forma de aplicar los pesos	Pesos	Cant. Eval. Eliminables	Consideraciones adicionales	Observaciones
1	Pb	Práctica tipo B	5	Por Promedio	Pb=2	0		
2	Ta	Tarea académica	1	Por Promedio	Ta=2	0		
3	Ex	Examen	2	Por Evaluación	Ex1=2 Ex2=4			

Fórmula para el cálculo de la nota final

$$(2*Pb+2*Ta+2*Ex1+4*Ex2)/10$$

Aproximación de los promedios parciales no definido

Aproximación de la nota final no definido

Consideraciones adicionales

En este curso se aplica la Modalidad de Evaluación 2.

IX. BIBLIOGRAFÍA

Libro 1

Michael D. Ciletti

2010

Advanced Digital Design with the Verilog HDL (Segunda edición)

ISBN-13: 978-0136019282

Editorial Pearson

Libro 2

Ben Cohen

2002

Real Chip Design and Verification (Primera edición)

ISBN-13: 978-0970-53-942-7

Editorial VhdlCohen Publishing

Libro 3
Donald Thomas and Philip Moorby
2002
The Verilog® Hardware Description Language (Quinta edición)
ISBN-13:
Editorial Springer

Libro 4
Pong P. Chu
2008
FPGA Prototyping By Verilog Examples: Xilinx Spartan-3 Version (Primera edición)
ISBN-13: 978-0470185322
Editorial John Wiley & Sons Inc.

Libro 5
Frank Vahid
2010
Digital Design with RTL Design, VHDL, and Verilog (Segunda edición)
ISBN-13: 978-0470531082
Editorial John Wiley & Sons Inc.

Libro 6
Steve Kitts
2007
Advanced FPGA Design: Architecture, Implementation, and Optimization (Primera edición)
ISBN-13: 978-0470054376
Editorial John Wiley & Sons Inc.

Libro 7
William J. Dally, R. Curtis Harting y Tor M. Aamodt
2016
Digital Design using VHDL a systems approach (Primera edición)
ISBN-13: 978-1-107-09886-2
Editorial Cambridge University Press

Libro 8
Frank Vahid y Tony D. Givargis
2002
Embedded System Design: A Unified Hardware/Software Introduction (Segunda edición)
ISBN-13: 978-0471386780
Editorial John Wiley & Sons Inc.

Libro 9
Daniel D. Gajski, Samar Abdi , Andreas Gerstlauer y Gunar Schirner
2009
Embedded System Design Modeling, Synthesis and Verification (Primera edición)
ISBN-13: 978-1-4419-0504-8
Editorial Springer

Libro 10

Pong P. Chu

2006

RTL Hardware Design using VHDL Coding for Efficiency, Portability and Scalability (Primera edición)

ISBN-13: 978-0-471-72092-8

Editorial John Wiley & Sons Inc.

Libro 11

Sridhar Gangadharan y Sanjay Churiwala

2013

Constraining Designs for Synthesis and Timing Analysis. A Practical Guide to Synopsys Design Constraints (SDC) (Primera edición)

ISBN-978-1-4614-3268-5

Editorial Springer.

Artículo 1

Clifford E. Cummings

Synthesis and Scripting Techniques for Designing MultiAsynchronous Clock Designs

http://www.sunburst-design.com/papers/CummingsSNUG2001SJ_AsyncClk.pdf

Artículo 2

Clifford E. Cummings y Don Mills

Synchronous Resets? Asynchronous Resets? I am so confused! How will I ever know which to use?

http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_Resets.pdf

Artículo 3

Clifford E. Cummings, Don Mills y Steve Golson

Asynchronous & Synchronous Reset Design Techniques - Part Deux

http://www.sunburst-design.com/papers/CummingsSNUG2003Boston_Resets.pdf

Artículo 4

Clifford E. Cummings

Simulation and Synthesis Techniques for Asynchronous FIFO Design

http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_FIFO1.pdf

Artículo 5

Clifford E. Cummings y Peter Alfke

Simulation and Synthesis Techniques for Asynchronous FIFO Design with Asynchronous Pointer Comparisons

http://www.sunburst-design.com/papers/CummingsSNUG2002SJ_FIFO2.pdf

Artículo 6

Cristian Sisterna - C7 Technology

Correcto uso de Reset en FPGAs y su Codificación en VHDL

http://www.c7t-hdl.com/Docs/C7T_NT10_Reset_VHDL_FPGA.pdf

Artículo 7

Cristian Sisterna - C7 Technology

Frecuencia Máxima de un Sistema Digital Sincrónico (Básico)

http://www.c7t-hdl.com/Docs/C7T_NT8_Frec_Max.pdf

Artículo 8

Clifford E. Cummings

State Machine Coding Styles for Synthesis

http://www.sunburst-design.com/papers/CummingsSNUG1998SJ_FSM.pdf

Artículo 9

Clifford E. Cummings

Coding And Scripting Techniques For FSM Designs With Synthesis-Optimized, Glitch-Free Outputs

http://www.sunburst-design.com/papers/CummingsSNUG2000Boston_FSM.pdf

Página web 1

fpga4fun

<http://www.fpga4fun.com/CrossClockDomain.html>

X. POLÍTICA CONTRA EL PLAGIO

Para la corrección y evaluación de todos los trabajos del curso se va a tomar en cuenta el debido respeto a los derechos de autor, castigando severamente cualquier indicio de plagio con la nota CERO (00). Estas medidas serán independientes del proceso administrativo de sanción que la facultad estime conveniente de acuerdo a cada caso en particular. Para obtener más información, referirse a los siguientes sitios en internet.

www.pucp.edu.pe/documento/pucp/plagio.pdf