

MICROELECTRÓNICA 2017-1

I. INFORMACIÓN GENERAL

CURSO	MICROELECTRÓNICA
CLAVE	1IEE01
CRÉDITOS	3.5
HORAS DE DICTADO	CLASE: 3 Semanal LABORATORIO: 2horas Quincenal EXAMEN: 3 horas cada uno
HORARIO	TODOS
PROFESORES	CARLOS BERNARDINO SILVA CÁRDENAS

II. PLANES CURRICULARES DONDE SE DICTA EL CURSO

ESPECIALIDAD	ETAPA	NIVEL	CARÁCTER	REQUISITOS
INGENIERÍA ELECTRÓNICA	PREGRADO EN FACULTAD	8	ELECTIVO	IEE256 Sistemas Digitales [7] IEE222 y Diseño Electrónico 1 [7]
INGENIERÍA DE LAS TELECOMUNICACIONES	PREGRADO EN FACULTAD	8	ELECTIVO	IEE265 Arquitectura de Computadoras [7] y TEL210 Transmisores y Receptores [7]

Tipos de requisito

04 = Haber cursado o cursar simultáneamente

05 = Haber aprobado o cursar simultáneamente

06 = Promedio de notas no menor de 08

07 = Haber aprobado el curso

III. DESCRIPCIÓN DEL CURSO

El curso provee los conceptos básicos para realizar el diseño de sistemas digitales empleando la integración a muy gran escala (VLSI) por medio de lógica complemetaria MOS (CMOS), realizando así diseños de circuitos integrados de aplicación específica (ASIC).

Los temas cubren conceptos de física de semiconductores; funcionamiento del transistor MOSFET, lógicas CMOS contemporáneas; circuitos, técnicas y herramientas de diseño; tecnologías de fabricación, simulación y caracterización de dispositivos además de metodologías modernas de diseño digital. Para realizar los ASICs se emplean herramientas modernas de diseño asistido por computadora (CAD).

IV. SUMILLA

Este curso corresponde a los cursos electivos del programa de Ingeniería Electrónica e Ingeniería de las Telecomunicaciones que permite al estudiante diseñar sistemas digitales VLSI en ASIC.

V. OBJETIVOS

Al finalizar el curso los estudiantes tendrán la capacidad y la habilidad de:

-Diseñar sistemas digitales VLSI en ASIC empleando metodologías y herramientas CAD.

-Reconocer los retos y los beneficios del diseño de circuitos integrados digitales VLSI para utilizar la aproximación de diseño más conveniente para un problema específico.

Estos Objetivos contribuyen significativamente al logro de los siguientes resultados del programa:

(j) Conocer temas contemporáneos.

(k) Habilidad para usar técnicas, destrezas y herramientas de ingeniería moderna necesaria para la práctica ingenieril.

VI. PROGRAMA ANALÍTICO

CAPÍTULO 1: MODELAMIENTO DEL MOSFET (clase 1; 3 horas)

- 1.1. Introducción .
- 1.2. Estructura Física del MOSFET .
- 1.3. Regiones de funcionamiento.
- 1.4. Tensión umbral .
- 1.5. Efecto de cuerpo.
- 1.6. Ecuaciones de diseño MOS y Curvas Características.
- 1.7. Nivel de Inversión .
- 1.8. Efecto de Modulación de Canal .
- 1.9. Modelos de Pequeña Señal .

Bibliografía del capítulo 1

L[1] Silva, capítulo 2, secciones 1-8.

L[3] Weste, capítulo 2, secciones 1-4.

L[4] Kang, capítulo 3.

CAPÍTULO 2: EL INVERSOR CMOS (clase 2; 3 horas)

- 2.1. Introducción.
- 2.2. Respuesta estática.
- 2.2. Respuesta dinámica
- 2.3. Influencia de la relación β_p/β_n
- 2.4. Márgenes de ruido
- 2.5. Puertas de transmisión
- 2.6. Latch-up
- 2.7. Disipación de potencia.

Bibliografía del capítulo 2

L[1] Silva, capítulo 2, sección 11.

L[2] Rabaey, capítulos 3 y 5.

L[3] Weste, capítulo 2, sección 5.

L[4] Kang, capítulos 5 y 6. Capítulo 13, sección 6

CAPÍTULO 3: PROCESOS DE MANUFACTURA (clase 3; 1.5 horas)

- 3.1. Introducción.
- 3.2. Manufactura circuitos integrados CMOS.
- 3.3. Reglas de diseño.
- 3.4. Enpaquetamiento de circuitos integrados.

Bibliografía del capítulo 3

L[2] Rabaey, capítulo 2.

L[3] Weste, capítulo 3, secciones 2-3.

L[4] Kang, capítulos 2 y 14.

CAPÍTULO 4: LOS CONDUCTORES (clase 3; 1.5 horas)

- 4.1. Introducción.
- 4.2. Parámetros de interconección: Capacitancia, resistencia e inductancia.
- 4.3. Modelos eléctricos de cables.

Bibliografía del capítulo 4

- L[2] Rabaey, capítulo 4.
- L[3] Weste, capítulo 6, sección 2.

CAPÍTULO 5: DISEÑO DE LÓGICA COMBINACIONAL EN CMOS (clase 4 y 5; 6 horas)

- 5.1. Introducción
- 5.2. Transistores MOS como interruptores
- 5.3. Lógica CMOS estática
- 5.4. Lógica CMOS dinámica.

Bibliografía del capítulo 5

- L[1] Silva, capítulo 2, secciones 11-17.
- L[2] Rabaey, capítulo 6.
- L[3] Weste, capítulo 9, sección 2.
- L[4] Kang, capítulo 7.

CAPÍTULO 6: DISEÑO DE LÓGICA SECUENCIAL EN CMOS (clase 6 y 7; 6 horas)

- 6.1. Introducción.
- 6.2. Latches y registros estáticos.
- 6.3. Latches y registros dinámicos.
- 6.4. Pipelining.
- 6.5. Circuitos secuenciales no-biestables.
- 6.6. Estrategias de elección de reloj.

Bibliografía del capítulo 6

- L[1] Silva, capítulo 2, secciones 18-19.
- L[2] Rabaey, capítulo 7.
- L[3] Weste, capítulo 10, sección 3.
- L[4] Kang, capítulo 8.

CAPITULO 7: PROBLEMAS DE INTERCONEXIONES (clase 8; 3 horas)

- 7.1. Introducción.
- 7.2. Capacitancias parásitas.
- 7.3. Resistencias parásitas.
- 7.4. Inductancias parásitas.
- 7.5. Técnicas avanzadas de interconexión.

Bibliografía del capítulo 7

- L[1] Silva, capítulo 2, secciones 26-35.
- L[2] Rabaey, capítulo 9.
- L[3] Weste, capítulo 6, sección 3.

CAPITULO 8 DISEÑO DE BLOQUES LÓGICO-ARITMÉTICOS (clase 9 y 10; 6 horas)

- 8.1. Introducción.
- 8.2. Caminos de datos en arquitecturas de procesadores digitales.
- 8.3. Sumador.
- 8.4. Registro de desplazamiento.
- 8.5. Comparadores.
- 8.6. Contadores.
- 8.7. Multiplicadores.
- 8.8. Codificadores: paridad, gray, corrección de errores, formación de circuitos con xor/xnor.
- 8.9. Estimaciones de potencia y velocidad en estructuras de caminos de datos.

Bibliografía del capítulo 8

- L[2] Rabaey, capítulo 11.
- L[3] Weste, capítulo 11.
- L[4] Kang, capítulo 12.

CAPITULO 9 ANÁLISIS DE TIEMPO (clase 11; 3 horas)

- 9.1. Introducción
- 9.2. Clasificación de tiempo en sistemas digitales.
- 9.3. Interconecciones síncronas.
- 9.4. Diseño de circuitos síncronos.
- 9.5. Diseño de circuitos asíncronos.
- 9.6. Sincronización y árbitros.
- 9.7. Síntesis de reloj y sincronización empleando PLLs

Bibliografía del capítulo 9

- L[2] Rabaey, capítulo 10.
- L[3] Weste, capítulo 10, secciones 2 y 6.

CAPITULO 10 DISEÑO DE MEMORIAS (clase 12 y 13; 6 horas)

- 10.1. Introducción.
- 10.2. Tipos de memorias.
- 10.3. Circuitería periférica de las memorias.
- 10.4. Confiabilidad y Yield de memorias.
- 10.5. Disipación de potencia en memorias.
- 10.6. Caso de estudio de diseño de memoria.

Bibliografía del capítulo 10

- L[2] Rabaey, capítulo 12.
- L[3] Weste, capítulo 12.

CAPITULO 11 Tarea Académica. (clase 14; 3 horas)

Esta clase está destinada a la exposición de los resultados de la Tarea académica.

CAPITULO 12. SESIONES DE LABORATORIO (10 horas)

El curso cuenta con cinco sesiones de laboratorio de 2 horas cada una. Se emplearán las herramientas de diseño profesional de las compañías Cadence o Synopsys o las herramientas académicas como el Tanner y/o Microwind para efectuar los layouts y el software Spice Opus para simulaciones. Se empleará un modelo de los transistores para tecnología de 350 nanómetros incluyendo los parámetros extraídos del layout.

- 12.1. El inversor CMOS.
- 12.2. Introducción a Layout.
- 12.3. Verificación de Layout.
- 12.4. Compuertas lógicas.
- 12.5. Circuitos secuenciales.

CAPITULO 13. ACTIVIDADES DE LABORATORIO (0 horas)

Las actividades a realizar para cada sesión de laboratorio son las descritas a continuación y cada una de ellas tendrá un componente de la nota de la respectiva sesión:

Prueba de entrada (5 puntos):

Es una prueba escrita (máximo 20 minutos) que se tomará al inicio de cada sesión del laboratorio, que tiene por objetivo evaluar el conocimiento de los alumnos en detalles de carácter práctico y/o teórico necesarios para poder realizar el trabajo del laboratorio y la tarea del laboratorio.

Trabajo para el laboratorio (7 puntos):

Es un sistema digital VLSI que puede implicar diseño y/o simulación a nivel transistores y/o layout, que los alumnos realizarán como actividad en el laboratorio y que tiene relación con lo visto en aula.

Tarea del laboratorio (8 puntos):

Es un sistema digital VLSI que puede implicar diseño y/o simulación a nivel transistores y/o layout, que los alumnos tendrán como actividad a resolver posterior a la sesión del laboratorio.

CAPITULO 15. TAREA ACADÉMICA (0 horas)

La Tarea Académica consta de la realización de un proyecto, la exposición de los resultados del mismo en la última clase, ante el Profesor y los Jefes de Práctica del curso y la presentación de un informe (máximo 20 páginas), siendo además obligatorio la presentación de los archivos relacionados con el proyecto.

Al final del examen número 1 se presentarán las propuestas de proyectos, por parte de los docentes del curso (el Profesor y los Jefes de Práctica del laboratorio), que serán desarrolladas por parte de los alumnos.

Al final de la clase que corresponde a la semana siguiente del examen número 1, los alumnos manifestarán sus preferencias respecto de los proyectos y se realizará la asignación de los mismos. Los proyectos pueden ser desarrollados individualmente o en grupos de hasta cuatro integrantes, además que se puede admitir, previa evaluación, que más de un grupo realice el mismo proyecto.

Los alumnos presentarán avances, a definir, de la Tarea Académica en las sesiones 4 y 5 del laboratorio. Cada proyecto tendrá un orientador, que puede ser el Profesor y/o los Jefes de Práctica del laboratorio. La nota de la Tarea Académica será asignada por acuerdo entre el Profesor y los Jefes de Práctica del laboratorio.

VII METODOLOGÍA

El curso se desarrollará a través de exposiciones de forma tal que fomenten la participación del estudiante. Los ejemplos desarrollados en clase están orientados a la aplicación en ingeniería de sistemas digitales VLSI en ASIC. La teoría expuesta en clase se refuerza mediante sesiones a ser realizadas en laboratorio, siendo las mismas calificadas y supervisadas, para así poder evaluar la asimilación de los conceptos impartidos hasta ese momento por parte de los alumnos. Los temas de las sesiones de laboratorio y de los exámenes son los abordados en clase y/o dejados como lectura. El curso también considera una tarea académica, donde el alumno profundizará los conocimientos sobre sistemas digitales VSLI en ASIC.

VIII EVALUACIÓN

Sistema de evaluación

Nº	Código	Tipo de Evaluación	Cant. Eval.	Forma de aplicar los pesos	Pesos	Cant. Eval. Eliminables	Consideraciones adicionales	Observaciones
1	Pb	Práctica tipo B	5	Por Promedio	Pb=2	0		
2	Ta	Tarea académica	1	Por Promedio	Ta=2	0		
3	Ex	Examen	2	Por Evaluación	Ex1=2 Ex2=4			

Fórmula para el cálculo de la nota final

$$(2*Pb+2*Ta+2*Ex1+4*Ex2)/10$$

Aproximación de los promedios parciales no definido

Aproximación de la nota final no definido

Consideraciones adicionales

En este curso se aplica la Modalidad de Evaluación 2.

IX. BIBLIOGRAFÍA

Libro 1

Carlos Bernardino Silva Cárdenas

1994

Circuitos Integrados de Aplicación Específica (Primera edición)

Editorial Migliori Graf

Libro 2

Jan Rabaey

2003

Digital Integrated Circuits (Segunda edición)

ISBN-13: 978-0130909961

Editorial Pearson

Libro 3

Neil H. E. Weste and David Harris

2010

CMOS VLSI Design: A Circuits and Systems Perspective (Cuarta edición)

ISBN-13: 978-0321547743

Editorial Pearson

Libro 4

Sung-Mo Kang, Yusuf Leblebici, Chul Woo Kim

2014

CMOS Digital Integrated Circuits Analysis & Design (Cuarta edición)

ISBN-13: 978-0073380629

Editorial McGraw-Hill

Libro 5

Tadej Tuma y Árpád Buermen

2009

Circuit Simulation with SPICE OPUS: Theory and Practice

ISBN-13: 978-0817648664

Editorial Birkhäuser

X. POLÍTICA CONTRA EL PLAGIO

Para la corrección y evaluación de todos los trabajos del curso se va a tomar en cuenta el debido respeto a los derechos de autor, castigando severamente cualquier indicio de plagio con la nota CERO (00). Estas medidas serán independientes del proceso administrativo de sanción que la facultad estime conveniente de acuerdo a cada caso en particular. Para obtener más información, referirse a los siguientes sitios en internet.

www.pucp.edu.pe/documento/pucp/plagio.pdf